

PATENT ABSTRACTS OF JAPAN

⑦

(11)Publication number : 62-221159

(43)Date of publication of application : 29.09.1987

(51)Int.Cl.

H01L 29/78
H01L 27/12

(21)Application number : 61-065322

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.03.1986

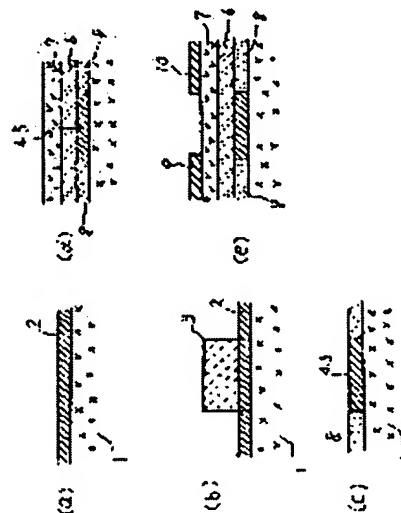
(72)Inventor : YANAI KENICHI
OURA MICHIIYA

(54) FORMATION OF THIN FILM TRANSISTOR MATRIX

(57)Abstract:

PURPOSE: To reduce the short-circuit defects of a transistor and to obtain a highly reliable thin film transistor matrix by a method wherein, before formation of a gate insulating film and an operating semiconductor layer, the substrate provided with a gate and a gate bus line is flattened.

CONSTITUTION: A pattern corresponding to the pattern, which will be turned to a gate electrode, is formed on a conductive film 2 using a resist 3, and besides, a resist mask pattern 5 corresponding to a matrix driving bus line is formed. The conductive film 2, excluding the part where the resist 3 is coated, is directly exposed to an electrolyte, and an Al₂O₃ oxide film 8 is grown. After a selective oxidation has been performed, the resist 3 mask pattern on a flat glass substrate 1 is exfoliated, silicon nitride is formed as an insulating film 6 and hydrogenated, silicon nitride is formed as an insulating film 6 and hydrogenated amorphous silicon is formed as an operating semiconductor layer 7 (active layer) on a gate electrode 4 successively by performing a plasma CVD (chemical vapor deposition) method, and the source electrode 9 and the drain electrode 10, consisting of N-type hydrogenated amorphous silicon, titanium Ti and aluminum Al, are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-221159

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)9月29日

H 01 L 29/78
27/128422-5F
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタマトリックスの形成方法

⑮ 特 願 昭61-65322

⑯ 出 願 昭61(1986)3月24日

⑰ 発 明 者 桑 井 健 一 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑱ 発 明 者 大 滝 道 也 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑳ 代 理 人 弁理士 井 祐 貞一

明 細 書

1. 発明の名称

薄膜トランジスタマトリックスの形成方法

2. 特許請求の範囲

(1) 平坦な基板(1)全面に導電膜(2)を形成した後、前記導電膜(2)上のレジストマスク(3)により導電膜(2)を選択酸化してゲート電極(4)とゲートバスライン(5)を同時形成する工程と、続いてゲート絶縁膜(6)及び半導体活性層(7)を順次形成する工程を含んであることを特徴とする薄膜トランジスタマトリックスの形成方法。

(2) 前項記載の導電膜(2)がポリシリコンで形成され選択酸化のレジストマスク(3)が窒化シリコンであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタマトリックスの形成方法。

(3) 導電膜(2)を選択酸化する工程が陽極酸化もしくは熱酸化の何れかであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタマトリックスの形成方法。

3. 発明の詳細な説明

(概要)

本発明は、平面型の、所謂能動マトリックスパネルと呼ばれるパネル基板に形成される薄膜トランジスタに係り、その意図するところはゲート絶縁膜/動作半導体層の形成前、ゲートとゲートバスラインが作製された基板を平坦化することによりトランジスタの短絡欠陥を低減し、信頼性の高い薄膜トランジスタマトリックスを提供することである。

(産業上の利用分野)

本発明は平面型ディスプレイパネルに一体的に組み込む薄膜トランジスタマトリックスの形成方法に関する。

例えば液晶ディスプレイパネルなど大面積の表示デバイスは、一般的に $m \times n$ の格子状配列の画素セルを形成し、画素セルの駆動を、たがいに直交する m 本および n 本のバスラインを設けて行うマトリックス駆動方式が採られている。

特開昭62-221159 (2)

しかして、マトリックス駆動されるそれぞれの画素セルは該セル電極と直接して例えば水素化アモルファスシリコンからなる半導体膜を活性層とする薄膜トランジスタを設けることが一般的におこなわれている。

本発明は、前記薄膜トランジスタの形成方法に係り、特にトランジスタのゲート絶縁膜部分の段差を無くして耐圧性能を向上することにより、安定なディスプレイパネルを形成することである。

〔従来の技術〕

第3図は、逆スタガード構成になる薄膜トランジスタの構造と形成プロセスを図示するトランジスタ要部の断面図である。

同図(4)はガラス等の絶縁基板20の表面に導電膜を形成し、該導電膜を通常のエッチング法あるいはリフトオフ法を用いてゲート電極21が形成された図である。

同図(5)はプラズマガス空間内の化学的気相成長法(CVD法)もしくは熱CVD法によって前記ゲ-

ト電極21上に順次、ゲート絶縁膜22と例えば水素化アモルファスシリコンの半導体活性層23が連続的に形成された図である。

また同図(6)は半導体活性層23の上にトランジスタのソース電極24及びドレイン電極25のそれぞれがパターン形成された図である。

しかしながら、前記の如き方法で形成された薄膜トランジスタのゲート絶縁膜22は、下地のゲート電極21の厚さに該当する電極端部26で段差となるため、該段差部の絶縁膜27は設置の電氣的耐圧が低下するため問題がある。

〔発明が解決しようとする問題点〕

薄膜トランジスタのゲート絶縁膜22における前記段差部27は平坦部に比べて膜内ピンホール等が生じやすく、これにともない短絡欠陥や、電氣的耐圧が低下する原因となる。特に大面積のディスプレイパネルでは、マトリックス配置の薄膜トランジスタが前記耐圧の低下や短絡欠陥があるとパネル形成の歩留りが顕著に低下することとなる。

〔問題点を解決するための手段〕

第1図と第2図は前記の問題点を解決する本発明の薄膜トランジスタの形成方法実施例とする断面図である。

平坦な基板1全面に導電膜2を形成した後、前記導電膜2上のレジストマスク3により導電膜2を選択酸化して、ゲート電極4、及び該電極4と同レベルに設ける一方のマトリックス駆動線とするバスライン5とを同時形成する工程と、続いてゲート絶縁膜6及び半導体活性層7を順次形成する工程を含んでマトリックス配列の薄膜トランジスタを形成することとしたものである。

〔作用〕

薄膜トランジスタのゲート絶縁膜形成前に行う前記導電膜の選択酸化法は、以下実施例に示される陽極酸化法にしてもまた熱酸化法にしても、導電性の膜厚を維持して膜質を絶縁性に替えることから基板の平坦性が保持された状態でゲート絶縁膜、及び半導体活性層が積み重ねられ、短絡欠陥

のない高い薄膜トランジスタマトリックスが形成されることになる。

〔実施例〕

以下、第1図と第2図を参照して本発明トランジスタの構造と形成方法の実施例を説明する。

第1図(4)は、平坦基板例えばガラス基板1にアルミニウムAlの導電膜2を基板全面に例えば蒸着手段により被覆した断面図(4)～(6)図も断面図)である。

同図(5)においては先づ、導電膜2上にゲート電極となるパターンと対応するパターンをレジスト3により形成したものである。但し、図示されないが該レジストパターン形成時、併せてマトリックス駆動バスラインに対するレジストマスクパターン5も形成される。かかる基板は、次いで、該酸電解液に浸しカーボン陰極を用いて適宜電流密度で陽極酸化すれば、レジスト3被覆の部分を除いた導電膜2は直接電解液にさらされAl₂O₃の酸化膜が生成される。

特開明62-221159 (3)

同図(ハ)は前記選択酸化後、基板上のレジスト3マスクパターンを剥離した図である。図中、8は導電膜2の Al_2O_3 、電解酸化部分である。

同図(ハ)は同図(ハ)のゲート電極4上に絶縁膜6として窒化シリコン、動作半導体層7(活性層)として水素化アモルファスシリコン、のそれぞれを順次、プラズマ CVD法により連続的に成膜したものである。

更に、同図(ハ)は、n型水素化アモルファスシリコン/チタン11/アルミニウム41からなるソース電極9とドレイン電極10とを形成して薄膜トランジスタが完成した図である。

次に前記電解酸化による導電膜の選択酸化に替わって導電膜の熱酸化による本発明の他の実施例を第2図のプロセスに従って説明する。

第1図と相異なる点は、(ハ)図の平坦基板1として石英基板を用い、該基板1全面に被着する導電膜11としてα型ポリシリコンが使用される。前記石英基板は高温度の酸化プロセスに耐える。

また(ハ)図にα型ポリシリコン導電膜11に対する

選択酸化のためのマスク12として窒化シリコンを用いることである。

(ハ)～(ハ)図に示す基本的プロセスは第1図と略同じである。即ち、窒化シリコンによるマスク12を剥離除去した(ハ)は露蓋のない平坦な基板面が確保されてなり、この上にプラズマ CVD法による、窒化シリコンのゲート絶縁膜6と水素化アモルファスシリコンの動作半導体層7を連続的に形成する。

(ハ)～(ハ)図中の13は前記導電膜11の熱酸化膜である。

次いで、ソース電極9とドレイン電極10を形成すれば、短絡欠陥が少なく素子耐圧の高い薄膜トランジスタマトリックスが形成されることとなる。

〔発明の効果〕

以上、詳細に説明したゲート絶縁膜の成膜前、導電膜の選択酸化手段を用いてゲート絶縁膜とバスラインをパターン形成した本発明の薄膜トランジスタマトリックスによれば、短絡欠陥の少ない素子耐圧の高い薄膜トランジスタアレイが形成さ

れると共にパネル組立の歩留りが向上するため安価なディスプレイパネルを提供することが出来る。

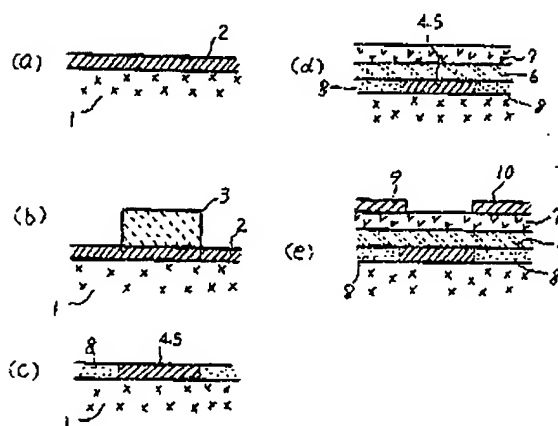
4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタの形成方法実施例断面図。

第2図は本発明の薄膜トランジスタの形成方法実施例断面図。

第3図は従来の薄膜トランジスタの構造と形成プロセス図である。

図中、1は平坦な基板、2と11は導電膜、3と12はレジストマスク、4はゲート電極、5はバスライン、6はゲート絶縁膜、7は半導体活性層、8は陽極酸化膜、13は熱酸化膜、9はソース電極、10はドレイン電極である。

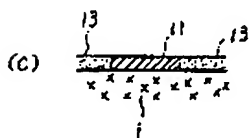
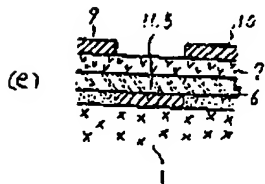
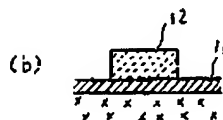


本発明薄膜トランジスタ形成方法実施例図

第1図

代理人 弁理士 井 街 貞 一

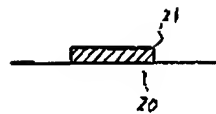
特開昭62-221159 (4)



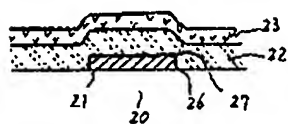
本発明薄膜トランジスタ形成方法実施例図

第 2 図

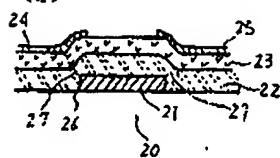
(a)



(b)



(c)



従来トランジスタの構成と形成プロセス図

第 3 図